(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2003－234471
（P2003－234471A）
(43)公開日　平成15年８月22日(2003.8.22)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　21/316	Ｘ	５Ｆ０５８
21/316		29/78	３０１Ｇ	５Ｆ１４０

審査請求　有　請求項の数９　ＯＬ　（全８頁）

(21)出願番号　特願2002－30791(P2002－30791)

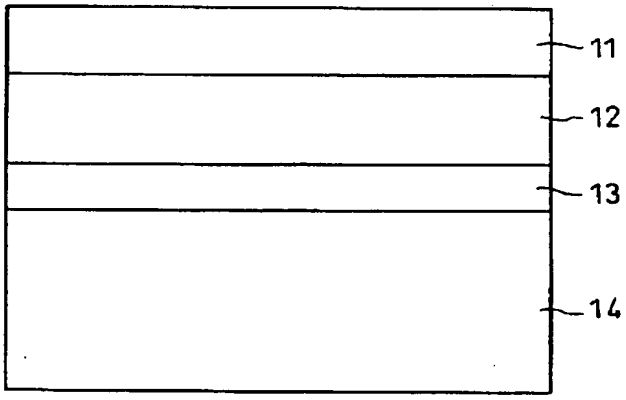
(22)出願日　平成14年２月７日(2002.2.7)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　井野　恒洋
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　福島　伸
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(74)代理人　100081732
弁理士　大胡　典夫　（外２名）

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　半導体基板とゲート絶縁膜の界面部分に、混入元素の濃度を高めた層を作製することでゲート絶縁膜の実効誘電率を高め、ゲート絶縁膜として必要な物理膜厚を低減することを目的とする。
【解決手段】　半導体基板１４と、半導体基板１４上に形成されたアモルファス$Si_{1-y}M_yO_2$（$0.1 \leq y \leq 1$　MはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜１３と、第１のゲート絶縁膜１３上に形成されたアモルファス$Si_{1-x}M_xO_2$（$0 < x \leq 0.5$かつ$x < y$　MはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜１２と、第２のゲート絶縁膜１２上に形成されたゲート電極１１とを具備することを特徴とする半導体装置。



1

【特許請求の範囲】

【請求項１】半導体基板と、

前記半導体基板上に形成されたアモルファス$Si_{1-y}M_yO_2$（０．１≦ｙ≦１　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜と、

前記第１のゲート絶縁膜上に形成されたアモルファス$Si_{1-x}M_xO_2$（０＜ｘ≦０．５かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜と、

前記第２のゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする半導体装置。

【請求項２】前記第１のゲート絶縁膜において、金属Ｍの組成ｙの値が前記基板側から膜厚方向に連続的に減少することを特徴とする請求項１記載の半導体装置。

【請求項３】シリコン基板上に、金属Ｍ（ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる薄膜を形成する工程と、

前記金属Ｍからなる薄膜上に、アモルファス$Si_{1-x}M_xO_2$（０＜ｘ≦０．５　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜を形成することで、前記シリコン基板及び前記第２のゲート絶縁膜との間にアモルファス$Si_{1-y}M_yO_2$（０．１≦ｙ≦１かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜を形成する工程と、

前記第２の絶縁膜上にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項４】前記薄膜を、スパッタガスに純度９７％以上のＮｇ（ＮｇはＡｒ、Ｋｒ、Ｘｅ、Ｎｅ、Ｈｅのいずれか一種類以上から選ばれる希ガス）ガスを用いて形成し、

前記第２の絶縁膜を、スパッタガスにＮｇ（ＮｇはＡｒ、Ｋｒ、Ｘｅ、Ｎｅ、Ｈｅのいずれか一種類以上から選ばれる希ガス）ガス及び前記Ｎｇガスに対する混合比率ｐが０％＜ｐ＜０．１３％である酸化ガスとの混合気体を用いることで形成することを特徴とする請求項３記載の半導体装置の製造方法。

【請求項５】前記薄膜を、MHa_z（ｚは、１≦ｚ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉ のいずれか一種類以上から選ばれるハロゲン）ガス及びSiH_u（ｕは、１≦ｕ≦８を満たす整数　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉのいずれか一種類以上から選ばれるハロゲン）を用いて形成し、

前記第２のゲート絶縁膜を、MHm_w（ｗは、１≦ｗ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{32}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳ、ＭＥＴＨＤのいずれか一種類以上から選ばれる）及び$SiHm_v$（ｖは、１≦ｖ≦８を満たす整数　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{21}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳのいずれか一種類以上から選ばれる）を用いて形成することを特徴とする請求項３記載の半導体装置の製造方法。

【請求項６】前記金属Ｍからなる薄膜は０．３３モノレイヤーから２．０モノレイヤーの範囲にあることを特徴とする請求項３記載の半導体装置の製造方法。

【請求項７】シリコン基板上にアモルファス$Si_{1-y}M_yO_2$（０．１≦ｙ≦１　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜を形成する工程と、

前記第１のゲート絶縁膜上にアモルファス$Si_{1-x}M_xO_2$（０＜ｘ≦０．５かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜を形成する工程と、

前記第２のゲート絶縁膜上にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項８】前記第１のゲート絶縁膜及び前記第２の絶縁膜を、MHm_w（ｗは、１≦ｗ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（C

2

e、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉ のいずれか一種類以上から選ばれるハロゲン）ガス及びSiH_u（ｕは、１≦ｕ≦８を満たす整数　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉのいずれか一種類以上から選ばれるハロゲン）を用いて形成し、

前記第２のゲート絶縁膜を、MHm_w（ｗは、１≦ｗ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{32}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳ、ＭＥＴＨＤのいずれか一種類以上から選ばれる）及び$SiHm_v$（ｖは、１≦ｖ≦８を満たす整数　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{21}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳのいずれか一種類以上から選ばれる）を用いて形成することを特徴とする請求項７記載の半導体装置の製造方法。

$_{12}H_{32}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳ、ＭＥＴＨＤのいずれか一種類以上から選ばれる）及びＳｉＨｍｖ（ｖは、１≦ｖ≦８を満たす整数　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{21}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳのいずれか一種類以上から選ばれる）を用いて形成することを特徴とする請求項７記載の半導体装置の製造方法。

【請求項９】前記第１のゲート絶縁膜及び前記第２のゲート絶縁膜を、ターゲット面と基板面とのなす角が６０度から１２０度の範囲にあるようなスパッタ装置を用いて形成することを特徴とする請求項７記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【０００２】

【従来の技術】電界効果トランジスターにおいては、微細化につれそのゲート長が短縮されることによって、短チャネル効果等さまざまな問題が生じている。例えば、ゲート絶縁膜に酸化シリコンを用いる場合、駆動力を向上するためには薄膜化が必要となる。しかしながらゲート絶縁膜の物理膜厚が薄くなるとトンネル電流が流れるようになり、特にオフ時のリーク電流として問題となる。

【０００３】そこでゲート絶縁膜として酸化シリコンより誘電率の高い高誘電率材料を用いることで、物理膜厚を厚くしても駆動力を高める方法が期待されている。

【０００４】そのひとつとしてSiO_2膜中に様々な元素を混入して誘電率を高める手法がある。この方法では、半導体基板とゲート絶縁膜の界面部分に、元素が混入し難く、ゲート絶縁膜中に元素濃度が低い層が存在する問題がある。元素濃度が低いこの層は、誘電率が他の領域よりも低く、キャパシタの直列接合と等価となり、ゲート絶縁膜の実効誘電率が界面低誘電率層の増大とともに急激に低下する問題となる。

【０００５】そこでスパッタ法等により、SiO_2膜中に混有させる元素の濃度を高めることがなされてきたが、今度は混入する元素がSiO_2膜中で析出して微結晶化してしまうという問題が生じた。

【０００６】

【発明が解決しようとする課題】本発明は、上記問題点を解決するためになされたもので、混入元素が析出して微結晶化することがなくかつ、半導体基板とゲート絶縁膜の界面部分に、元素濃度が低い層を生じないゲート絶縁膜を具備する半導体装置及びその製造方法を提供することを目的とする。

【０００７】

【課題を解決するための手段】上記目的を達成するために、本発明は、半導体基板と、前記半導体基板上に形成されたアモルファス$Si_{1-y}M_yO_2$（０．１≦ｙ≦１　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成されたアモルファス$Si_{1-x}M_xO_2$（０＜ｘ≦０．５かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする半導体装置を提供する。

【０００８】このとき、前記第１のゲート絶縁膜において、金属Ｍの組成ｙの値が前記基板側から膜厚方向に連続的に減少してもよい。

【０００９】また、第１のゲート絶縁膜と第２のゲート絶縁膜の金属Ｍはそれぞれ同じでも良いし、異なっていてもよい。

【００１０】また、本発明は、シリコン基板上に、前記シリコン基板表面が還元されるように金属Ｍ（ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる薄膜を形成する工程と、前記金属Ｍからなる薄膜上に、前記薄膜表面が酸化されるようにアモルファス$Si_{1-x}M_xO_2$（０＜ｘ≦０．５　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜を形成することで、前記シリコン基板及び前記第２のゲート絶縁膜との間にアモルファス$Si_{1-y}M_yO_2$（０．１≦ｙ≦１かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜を形成する工程と、前記第２の絶縁膜上にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【００１１】このとき、前記薄膜を、スパッタガスに純度９７％以上のＮｇ（ＮｇはＡｒ、Ｋｒ、Ｘｅ、Ｎｅ、Ｈｅのいずれか一種類以上から選ばれる希ガス）ガスを用いて形成し、前記第２の絶縁膜を、スパッタガスにＮｇ（ＮｇはＡｒ、Ｋｒ、Ｘｅ、Ｎｅ、Ｈｅのいずれか一種類以上から選ばれる希ガス）ガス及び前記Ｎｇガスに対する混合比率ｐが０％＜ｐ＜０．１３％である酸化ガスとの混合気体を用いることで形成することが好まし

5

い。

【００１２】また、前記薄膜を、ＭＨａ$_z$（ｚは、１≦ｚ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉ のいずれか一種類以上から選ばれるハロゲン）ガス及びＳｉＨｕ（ｕは、１≦ｕ≦８を満たす整数　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉのいずれか一種類以上から選ばれるハロゲン）を用いて形成し、前記第２のゲート絶縁膜を、ＭＨｍ$_w$（ｗは、１≦ｗ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（Ｃ$_{11}$Ｈ$_{19}$Ｏ$_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（Ｃ$_{12}$Ｈ$_{32}$Ｏ$_2$）、ジイソブチリルメタナト配位子（Ｃ$_9$Ｈ$_{15}$Ｏ$_2$）、ＴＥＯＳ、ＭＥＴＨＤのいずれか一種類以上から選ばれる）及びＳｉＨｍ$_v$（ｖは、１≦ｖ≦８を満たす整数　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（Ｃ$_{11}$Ｈ$_{19}$Ｏ$_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（Ｃ$_{12}$Ｈ$_{21}$Ｏ$_2$）、ジイソブチリルメタナト配位子（Ｃ$_9$Ｈ$_{15}$Ｏ$_2$）、ＴＥＯＳのいずれか一種類以上から選ばれる）を用いて形成することが好ましい。

【００１３】また、前記金属Ｍからなる薄膜は０．３３モノレイヤーから２．０モノレイヤーの範囲にあることが好ましい。

【００１４】また、シリコン基板上にアモルファスＳｉ$_{1-y}$Ｍ$_y$Ｏ$_2$（０．１≦ｙ≦１ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第１のゲート絶縁膜を形成する工程と、前記第１のゲート絶縁膜上にアモルファスＳｉ$_{1-x}$Ｍ$_x$Ｏ$_2$（０＜ｘ≦０．５かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる第２のゲート絶縁膜を形成する工程と、前記第２のゲート絶縁膜上にゲート電極を形成する工程とを具備することを特徴とする半導体装置を提供する。

【００１５】このとき、前記第１のゲート絶縁膜及び前記第２の絶縁膜を、ＭＨｍ$_w$（ｗは、１≦ｗ≦８を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（Ｃ$_{11}$Ｈ$_{19}$Ｏ$_2$）、Ｏｔ－Ａｍ、２，

6

２，６，６－テトラメチル－３，５－オクタンジオナト配位子（Ｃ$_{12}$Ｈ$_{32}$Ｏ$_2$）、ジイソブチリルメタナト配位子（Ｃ$_9$Ｈ$_{15}$Ｏ$_2$）、ＴＥＯＳ、ＭＥＴＨＤのいずれか一種類以上から選ばれる）及びＳｉＨｍ$_v$（ｖは、１≦ｖ≦８を満たす整数　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（Ｃ$_{11}$Ｈ$_{19}$Ｏ$_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（Ｃ$_{12}$Ｈ$_{21}$Ｏ$_2$）、ジイソブチリルメタナト配位子（Ｃ$_9$Ｈ$_{15}$Ｏ$_2$）、ＴＥＯＳのいずれか一種類以上から選ばれる）を用いて形成することが好ましい。

【００１６】また、前記第１のゲート絶縁膜及び前記第２のゲート絶縁膜を、ターゲット面と基板面とのなす角が６０度から１２０度の範囲にあるようなスパッタ装置を用いて形成することが好ましい。

【００１７】

【発明の実施の形態】以下、図面を示しながら発明の実施の形態を示す。

【００１８】（実施形態１）図１は、本発明の実施形態１に係る半導体装置の断面図である。

【００１９】この半導体装置は、シリコン等からなる半導体基板１４と、この半導体基板１４上に形成された第１のゲート絶縁膜１３とを具備している。このゲート絶縁膜１３は、アモルファスＳｉ$_{1-y}$Ｍ$_y$Ｏ$_2$（０．１≦ｙ≦１　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる。

【００２０】また、第１のゲート絶縁膜１３上には、第２のゲート絶縁膜１２が形成されている。この第２のゲート絶縁膜１２は、アモルファスＳｉ$_{1-x}$Ｍ$_x$Ｏ$_2$（０＜ｘ≦０．５かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）からなる。

【００２１】第２のゲート絶縁膜１２上には、ゲート電極１１が形成されている。ゲート電極１１としては、タングステン等の高融点金属を用いることができる。

【００２２】この半導体装置では、ゲート絶縁膜として、下層に金属組成比が高い金属シリケードを形成し、上層にこれより金属組成比が低い金属シリケードを形成している。このように形成することゲート絶縁膜中に含有されている金属が析出することを防ぎつつ、なおかつゲート絶縁膜の誘電率を高くすることが可能となる。

【００２３】このような効果は、下層としてアモルファスＳｉ$_{1-y}$Ｍ$_y$Ｏ$_2$（０．１≦ｙ≦１　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）を形成し、上層として、アモルファスＳｉ$_{1-x}$Ｍ$_x$Ｏ$_2$（０＜ｘ≦

０．５かつｘ＜ｙ　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属）を選択することで顕著となる。

【００２４】図６は、ジルコニウムシリケートについて、ジルコニウムの含有量と温度との関係を示した相図である。

【００２５】図６に示すように、ジルコニウムシリケートの場合、ジルコニウム濃度が０％から７０％へ高くなるほど混合状態の不安定性が高くなる。これはMO_2（ただしＭは四価の金属元素、Ｚｒ、Ｈｆ、Ｕ、Ｔｈなど）とSiO_2の混合物はスピノーダル不安定性を有するためである。また、アモルファス状態を示す$M_xSi_{1-x}O_2$シリケートは準安定状態にすぎない。

【００２６】また、図６に示すように、ジルコニウム濃度が７０％から１００％へとさらに高くなると、ZrO_2の核形成に引き続いて$ZrSiO_4$の包晶を発生するために、このジルコニウム濃度におけるアモルファス状態を示す$M_xSi_{1-x}O_2$シリケートは、ジルコニウム濃度がより低い場合よりもさらに不安定な状態にある。

【００２７】したがって現実的な熱処理時間において準安定なアモルファス状態を保つためには、ジルコニウムの混合量は４０重量％以下、すなわちジルコニウムの組成は０．４以下であることが望ましい。

【００２８】このことから、図１に示す半導体装置では、ゲート絶縁膜の大部分を占める第２の金属シリケート膜１２において、金属が析出しないためには、金属組成ｘが$0<x\leq 0.4$であることが望ましいことが分かる。

【００２９】次に、図７に、ジルコニウムシリケートの誘電率とジルコニウム組成の関係を示す。

【００３０】図７に示すように、ジルコニウムシリケートの誘電率は、ジルコニウムの金属組成が０．４に達するまでに急激に上昇することが分かる。

【００３１】図１に示す半導体装置における第１の金属シリケート膜１３のように、高々２モノレイヤー程度の膜厚では、バルクの相図である図６は適用されず、金属組成が０．４を越えても安定化する。さらに高々２モノレイヤー程度の膜厚部分がアモルファスではなくても、シリケート膜全体の誘電率にはほとんど影響が無い上に、ゲートチャネル領域の電気特性に与える影響も軽微である。

【００３２】以上のことを考慮すると、下層に位置する極めて薄い第１の金属シリケート膜１３の金属組成比ｙに対する上限は、数学的な上限値である１となる。一方、図７に示すように、第１の金属シリケート膜１３の金属組成比ｙが０．１未満であれば十分な誘電率が得られない。したがって第１の金属シリケート膜１３の金属組成ｙは$0.1\leq y\leq 1$であることが望ましい。

【００３３】次に、この半導体装置の製造方法について説明する。

【００３４】先ず、オフアクシス配置のスパッタ法によって基板温度５００℃、Ａｒ雰囲気のみで、Ｓｉ（シリコン）基板１４上にＺｒ（ジルコニウム）膜を約１モノレイヤー成膜する。オフアクシス装置とは、成長基板に対して斜め方向からスパッタ原料を供給するものである。なお、成長基板面に対して平行にスパッタ原料を供給してもよい。また、この薄膜形成工程では、Ｓｉ基板１４の表面は還元される。

【００３５】次に、Ａｒ雰囲気のみでＺｒ膜上に、$SiZrO_2$膜１２を厚さ約１０ｎｍ成膜する。このときのＺｒ膜の表面は酸化される。この工程により$SiZrO_2$膜１２よりＺｒ濃度の高い$SiZrO_2$膜１３が、Ｓｉ基板１４の界面に形成される。

【００３６】次に、Ｚｒ濃度が低い$SiZrO_2$膜１３上に、蒸着法等によりタングステン等の金属電極１１を形成する。

【００３７】本実施形態の製造方法において、前記薄膜を、スパッタガスに純度９７％以上のＮｇ（ＮｇはＡｒ、Ｋｒ、Ｘｅ、Ｎｅ、Ｈｅのいずれか一種類以上から選ばれる希ガス）ガスを用いて形成し、前記第２の絶縁膜を、スパッタガスにＮｇ（ＮｇはＡｒ、Ｋｒ、Ｘｅ、Ｎｅ、Ｈｅのいずれか一種類以上から選ばれる希ガス）ガス及び前記Ｎｇガスに対する混合比率ｐが$0\%<p<0.13\%$である酸化ガスとの混合気体を用いることで形成することができる。

【００３８】次に、この半導体装置の断面ＴＥＭ写真を図２に示す。

【００３９】図２の結果では、ゲート絶縁膜１２とシリコン基板１４との間に極めて薄いがゲート絶縁膜１３が形成されているのが見える。

【００４０】図３に、図２に示す基板断面のＴＥＭ－ＥＤＸの結果を示す。

【００４１】図３に示すように、深さ１０ｎｍから１２ｎｍ付近、すなわち$ZrSiO_2$膜１２（図２）で相対的にＺｒ濃度が高く、深さ４ｎｍから１０ｎｍ付近、すなわち$ZrSiO_2$膜１３（図２）でＺｒ濃度が低くなっていることが分かる。ただし図３に示す濃度分布の測定結果では、膜厚方向の分解能が約３ｎｍ程度なので、１モノレイヤー程度の層は分解能以下となり、濃度分布の明瞭な段差は観測されていない。

【００４２】しかしながら空間分解能が低いので、$ZrSiO_2$膜１２のＳｉ基板２３界面側に、Ｓｉ基板２３からのＳｉ濃度が高い領域が観測されるべきである。これにも関わらず、実際の図３に示す結果はＳｉ濃度が逆に低くなっている。したがってＳｉ基板２３界面側にＺｒ濃度の高い$ZrSiO_2$薄膜ができていると考えられる。

【００４３】このような製造方法を採用したことによ

り、Ｓｉ基板とゲート絶縁膜との界面にSiO_2のような低誘電率の層が形成されず、高誘電率の$ZrSiO_2$層が形成されるので、同じ膜厚でも実効誘電率の高いゲート絶縁膜を形成することができる。

【００４４】図４に、比較例として、Ｓｉ基板３４上に$ZrSiO_2$膜を直接蒸着して形成し、この上にゲート電極３１を形成した半導体装置の断面図を示す。

【００４５】図４に示すように、比較例の方法では、Ｓｉ基板３４と$ZrSiO_2$膜３２との界面にSiO_2層３３の薄い層が形成されていることが分かる。

【００４６】この薄いSiO_2層３３は、誘電率が低く、ゲート絶縁膜全体の誘電率を低下させてしまう問題がある。

【００４７】本発明では、このような誘電率の低い薄膜は形成されず、ゲート絶縁膜の高誘電率化を実現できる。

【００４８】（実施形態２）本実施形態では、Ｚｒ濃度の高い第１のゲート絶縁膜がＳｉ基板側から膜厚方向に、Ｚｒ濃度が連続的に減少する構造を採用したものである。

【００４９】図５に示すように、この半導体装置は、Ｓｉ基板５３上に、第１の$ZrSiO_2$ゲート絶縁膜５４が形成されている。この上に第２の$ZrSiO_2$ゲート絶縁膜５２が形成されている。この上にタングステン等のゲート電極５１が形成されている。

【００５０】第１のゲート絶縁膜５４のＺｒ濃度は、第２のゲート絶縁膜５２よりも高く、かつＳｉ基板５３の界面から膜厚方向に連続的に減少している。その他のＺｒ濃度は実施形態１と同様である。このような構造でも本発明の効果がある。

【００５１】（実施形態３）次に、本発明における半導体装置の別の製造方法について説明する。

【００５２】先ず、Ｓｉ基板をフッ酸によって下処理を行い、表面の自然SiO_2膜を剥離する。その後Ｓｉ基板を硫酸と過酸化水素の混合溶液に浸し、炭素系汚染物質を除去する。次に、このＳｉ基板を水中におき、水素終端を行う。

【００５３】このような処理を行ったＳｉ基板を速やかにＣＶＤ装置内に導入し、装置内を真空にする。

【００５４】次に、ＣＶＤ装置内では、成膜温度８００℃でＳｉ基板上にＺｒ薄膜を１モノレイヤー成膜する。原料ガスとして$ZrCl_4$ガス、キャリアガスとしてＡｒとH_2の混合ガスを用いる。Ｓｉ基板上のＺｒ膜が１モノレイヤー成長後、原料ガスを遮断する。この工程によりＳｉ基板の表面は還元される。

【００５５】その後ＡｒとH_2の混合ガスであるキャリアガスを十分流し、ＣＶＤ装置内の残留原料ガスを十分に排気する。次に、キャリアガスを遮断して装置内を十分な真空度に保つ。

【００５６】次に、ＣＤＶ装置内にＺｒ（ｔ－ＯＢｕ）

$_4$－ＴＥＯＳ－O_2ガスを導入し、成長温度５５０℃にてＺｒ：Ｓｉ＝２０：８０の割合のジルコニウムシリケートを成膜する。この工程により、１モノレイヤーの厚さで成膜されたＺｒ膜が酸化されてＳｉ基板のシリコンと混合し、シリコン基板の界面に$Si_{0.7}Si_{0.3}O_2$からなる第１のゲート絶縁膜が形成される。この第１のゲート絶縁層上には$Si_{0.8}Zr_{0.2}Si_2$からなる第２のゲート絶縁膜が形成される。

【００５７】次に、この第２のゲート絶縁膜上に、タングステン等の高融点金属からなるゲート絶縁膜を形成する。

【００５８】この後の工程は通常のＭＯＳ工程によりソース領域及びドレイン領域を形成することによって、本実施形態の半導体装置を形成できる。

【００５９】また、本実施形態では、前記薄膜を、MHa_z（ｚは、$1 \leqq z \leqq 8$を満たす整数　ＭはＺｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉ のいずれか一種類以上から選ばれるハロゲン）ガス及びSiH_u（ｕは、$1 \leqq u \leqq 8$を満たす整数　ＨａはＦ、Ｃｌ、Ｂｒ、Ｉのいずれか一種類以上から選ばれるハロゲン）を用いて形成することができる。

【００６０】また、本実施形態では、第２のゲート絶縁膜を、MHm_w（ｗは、$1 \leqq w \leqq 8$を満たす整数　Ｍは Ｚｒ、Ｈｆ、Ｙ、Ｓｃ、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｅ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕのいずれか一種類以上から選ばれる金属　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{32}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳ、ＭＥＴＨＤのいずれか一種類以上から選ばれる）及び$SiHm_v$（ｖは、$1 \leqq v \leqq 8$を満たす整数　ＨｍはＯｔＢｕ、ＯｉＰｒ、ジピバロイルメタナト配位子（$C_{11}H_{19}O_2$）、Ｏｔ－Ａｍ、２，２，６，６－テトラメチル－３，５－オクタンジオナト配位子（$C_{12}H_{21}O_2$）、ジイソブチリルメタナト配位子（$C_9H_{15}O_2$）、ＴＥＯＳのいずれか一種類以上から選ばれる）を用いて形成することができる。

【００６１】また、前記金属Ｍからなる薄膜は、金属Ｍの濃度が高いシリケードを確実に形成するためには、０．３３モノレイヤーから２．０モノレイヤーであることが好ましい。

【００６２】

【発明の効果】本発明は、半導体基板とゲート絶縁膜の界面部分に、混入元素の濃度を高めた層を作製することでゲート絶縁膜の実効誘電率を高め、ゲート絶縁膜として必要な物理膜厚を低減することができる。

11　　12

【図面の簡単な説明】

【図１】　本発明の実施形態１に係る半導体装置の断面図。

【図２】　本発明の実施形態１に係る半導体装置の断面図。

【図３】　本発明の実施形態１に係る半導体装置の厚み方向のＺｒ、Ｓｉ、Ｏ各元素の濃度変化を示す図。

【図４】　比較例の半導体装置の断面図。

【図５】　本発明の実施形態２に係る半導体装置の断面図。

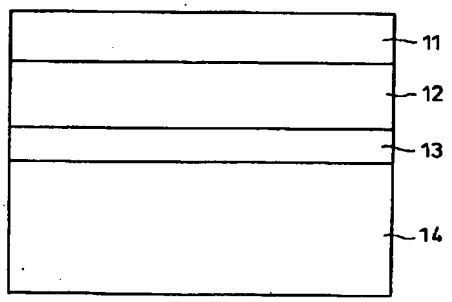
【図６】　ジルコニウムシリケートについて、ジルコニウムの含有量と温度との関係を示した相図。

【図７】　ジルコニウムシリケートの誘電率とジルコニウム組成の関係を示す図。

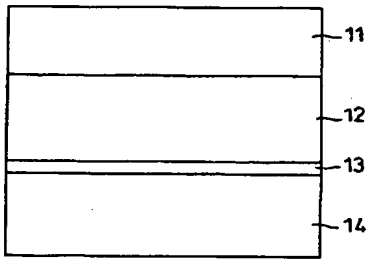
【符号の説明】

＊１１・・・ゲート電極
１２・・・$Si_{1-x}M_xO_2$膜
１３・・・$Si_{1-y}M_yO_2$膜
１４・・・半導体基板
３１・・・ゲート電極
３２・・・$Si_{0.8}Zr_{0.2}$膜
３３・・・SiO_2膜
３４・・・シリコン基板
５１・・・ゲート電極
５２・・・$Si_{1-x}M_xO_2$膜
５３・・・半導体基板
５４・・・第１のゲート絶縁膜
５２・・・第２のゲート絶縁膜
５１・・・ゲート電極

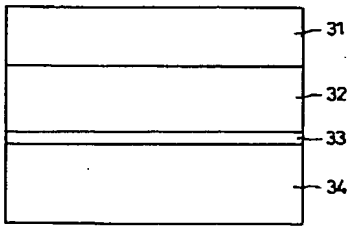
【図１】



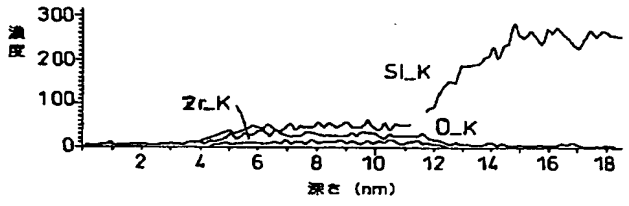
【図２】



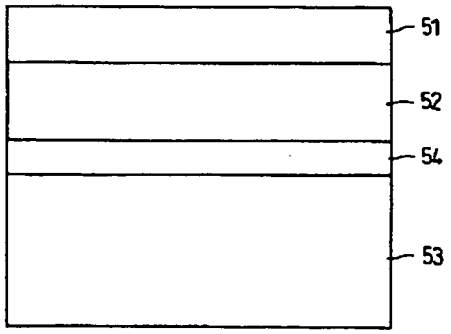
【図４】



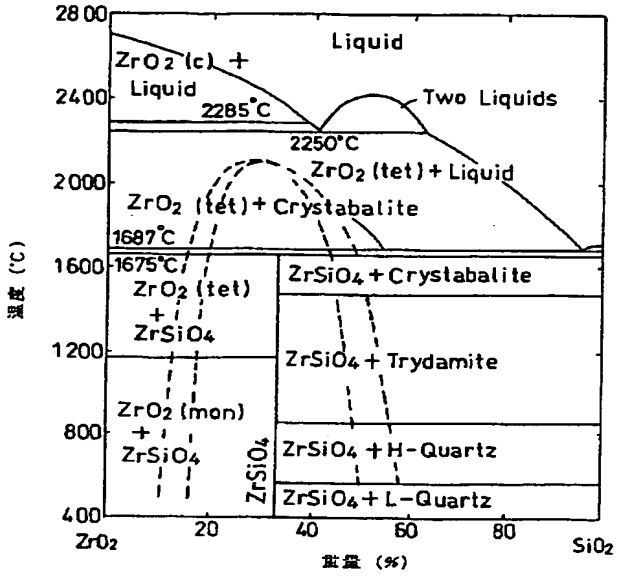
【図３】



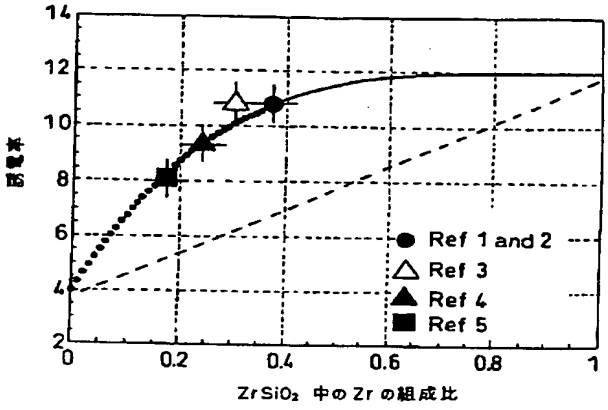
【図５】



【図６】



【図７】



フロントページの続き

(72)発明者　西山　彰
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
(72)発明者　西川　幸江
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

Ｆターム(参考)　5F058 BA06 BA20 BC02 BC03 BD01 BD04 BD05 BF02 BF22 BF25 BF27 BF29 BJ01 BJ10
5F140 AA21 AA24 AA39 BA01 BD01 BD04 BD13 BD15 BE02 BE09 BE10 BF01 BF07 BG30